**《数字逻辑》实验报告**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **姓名** | | 杨智华 | | **年级** | | 2017级 |
| **学号** | | 20174279 | | **专业、班级** | | 计算机科学与技术卓越班 |
| **实验名称** | 交通灯控制系统 | | | | | |
| **实验时间** | **2019年5月13日** | | **实验地点** | | **DS1410** | |
| **实验成绩** |  | | **实验性质** | | **□验证性 □设计性 □综合性** | |
| 教师评价：  □算法/实验过程正确； □源程序/实验内容提交 □程序结构/实验步骤合理；  □实验结果正确； □语法、语义正确； □报告规范；  评语：  评价教师签名（电子签名）： | | | | | | |
| 一、实验目的  1、巩固有限状态机设计方法。  2、掌握交通灯控制原理。  3、学会利用 FPGA 设计交通灯控制系统 | | | | | | |
| 二、实验项目内容  实现一个十字路口（南北和东西方向）交通灯信号控制器。该十字路口的南 北和东西方向都有红、黄、绿三种颜色的信号灯。请根据交通规则，给出交通灯 的状态表和状态转换图，延迟时间以秒计算。 | | | | | | |
| 三、实验设计  交通灯状态表和状态转移图如下图所示，如果使用频率为 1Hz 的时钟来驱动 电路，那么延迟 1S 可以用一个时钟得到，类似的，用 5 个时钟可以得到 5 秒的 延迟，count 用于延迟计数，在状态转移时归零，并重新开始计数。  状态转移图如下：  C:\Users\杨智华\AppData\Roaming\Tencent\Users\328166837\TIM\WinTemp\RichOle\@]G{38SUJ@0V4G5{B{XPPRJ.pngC:\Users\杨智华\AppData\Roaming\Tencent\Users\328166837\TIM\WinTemp\RichOle\SYXBWCH1}I8$ZONK_5C1QEY.png | | | | | | |
| 四、实验过程或算法  关键代码：  **1、调用分频器**  在本项目中我使用频率为1Hz来进行驱动，即将100MHz转化为了1Hz，让自己写的IP核内的参数N=100000000 ,bi=2。  fenpin\_0 u(.clk(clk),.clk\_out(clk\_out));  **2、状态转移**  状态转移图如上，在每个状态下使用count进行计数，然后到达指定值后，转移状态并将count置为0.  always @(next\_state)  begin  state<=next\_state;  end    always @(posedge clk\_out )  begin  case(state)  S0:begin  R0<=0;G0<=1;R1<=1;G1<=0;  if(count<4) begin next\_state<=S0; count<=count+1; end  else begin next\_state<=S1; count<=0; end  end    S1:begin  R0<=1;G0<=1;R1<=1;G1<=0;  if(count<0) begin next\_state<=S1; count<=count+1; end  else begin next\_state<=S2; count<=0; end  end    S2:begin  R0<=1;G0<=0;R1<=1;G1<=0;  if(count<0) begin next\_state<=S2; count<=count+1; end  else begin next\_state<=S3; count<=0; end  end    S3:begin  R0<=1;G0<=0;R1<=0;G1<=1;  if(count<4) begin next\_state<=S3; count<=count+1; end  else begin next\_state<=S4; count<=0; end  end    S4:begin  R0=1;G0=0;R1=1;G1=1;  if(count<0) begin next\_state=S4; count=count+1; end  else begin next\_state=S5; count=0; end  end    S5:begin  R0=1;G0=0;R1=1;G1=0;  if(count<0) begin next\_state=S5; count=count+1; end  else begin next\_state=S0; count=0; end  end    default: begin R0<=0;R1<=0; G0<=0;G1<=0; end    endcase  end | | | | | | |
| 五、实验过程中遇到的问题及解决情况  1、无法进行综合  经检查程序发现在case后误用了begin end，删掉begin并将end 换为endcase后得以解决。  2、一直亮灯，clk\_out以及各个输出都没有变化  发现是分频的源代码在变量的范围问题，经扩大后解决。 | | | | | | |
| 六、实验结果及分析和（或）源程序调试过程  实验视频见附件，其中左下方闪烁的黄灯为进行分频之后的clk\_out，频率为1Hz。  七、小组分工情况说明  独立完成 | | | | | | |